

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

Handwritten: #2/Priority
3/8/02
V. Vannal

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder：

申請日：西元 2000 年 12 月 30 日
Application Date

申請案號：089128443
Application No.

申請人：矽品精密工業股份有限公司
Applicant(s)



局長
Director General

陳明邦

發文日期：西元 2001 年 5 月 8 日
Issue Date

發文字號：
Serial No.

09011006441

申請日期	
案 號	
類 別	

A4
C4

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	垂直式整合被動元件之 BGA 半導體封裝件
	英 文	
二、發明人 創作	姓 名	1. 吳集銓 2. 黃建屏 3. 莊瑞育 4. 蔡和易 5. 朱育德
	國 籍	中華民國
	住、居所	1. 台中市北屯區大德里平德路 82 巷 33 弄 1 號 2. 新竹縣竹東鎮康莊街 26 巷 8 號 3. 台中市北屯區崇德路二段 447 號 9 樓之 15 4. 嘉義市西區東店里莊建街 91 巷 59 號 5. 台中市進化路 174 號
三、申請人	姓 名 (名稱)	矽品精密工業股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	台中縣潭子鄉大豐路三段 123 號
	代 表 人 姓 名	林鐘隸

經濟部智慧財產局員工消費合作社印製

裝

訂

線

四、中文發明摘要（發明之名稱：垂直式整合被動元件之 BGA 半導體封裝件）

一種具有被動元件之 BGA 半導體封裝件與其製法，該製法係包括先置一基板，於該基板表面預設一小於半導體晶片投影面積周界之元件安置區，其上接設有複數個鐳錫鐳墊，該元件安置區外圍並設有一敷設有多數鐳接墊之鐳接區；複數個被動元件對應地固設於該些鐳錫鐳墊上，俾使該等被動元件得以電性導通至該基板；之後，以一電絕緣物質完整包覆該些被動元件與部分基板，又另備一半導體晶片，藉由該半導體晶片之非作用表面直接或間接接置至該等被動元件上方之該電絕緣物質表面；多數之鐳線提供該半導體晶片與該鐳接墊電性連結，並用一封裝膠體包覆該半導體晶片與多數鐳線，最後令使複數個錳鐳凸塊導電連接於該基板底部而完成該封裝製程。本發明將複數個

英文發明摘要（發明之名稱：

）

四、中文發明摘要（發明之名稱：

被動元件整合配置於該半導體晶片之下方，俾使該基板使用面積縮小，相對地降低封裝件製品之尺寸；同時，於鐳接製程及膠體封裝作業之前，預先以該電絕緣物質完整包覆該等被動元件，有效避免固接完成之多數被動元件受到高溫熔融封裝樹脂之模流衝擊而偏位，大幅提昇封裝製品之良率。

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

英文發明摘要（發明之名稱：

訂

線

五、發明說明(1)

[發明領域]

本發明係有關於一種將多數被動元件整合於半導體封裝件內之方法，尤指應用於球柵陣列(Ball Grid Array, BGA)封裝製品者。

[發明背景]

電子產品能否達到輕、薄、短、小、快之理想境界，取決於 IC 元件在高記憶容量，寬頻及低電壓化需求之發展，惟 IC 元件能否持續提高記憶容量與操作頻率並降低電壓需求，端視 IC 元件上電子電路與電子元件積體化的程度，以及作為提供電子電路訊號與電源傳遞媒介所用之輸入/輸出接腳(I/O Connector)密度而定。球柵陣列(BGA)半導體裝置藉以陣列方式植佈於基板底面上之錫球(Solder Ball)，使得相同單位面積內得設有更多輸入/輸出接腳，以容納較多由電子元件(Electronic Components)，如電容器、電阻器、電感器等組成之被動元件，蔚為今後封裝產品之主流。

某些半導體應用裝置，例如高頻半導體裝置中，常需要將電阻器、電感器及電容器等多數被動元件電性連接至所封裝之半導體晶片，俾使該半導體晶片具有特定之電流特性。以 BGA 半導體裝置為例，多數被動元件雖安置於基板表面，然為避免該等被動元件阻礙半導體晶片與多數錫接墊(Bonding Fingers)間之電性連結，傳統上多將該等被動元件安置於基板角端位置或半導體晶片接置區域以外基板之額外佈局面積上(如第 1 圖所示)。惟限定被動元件安

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(2)

設位置將縮小基板線路佈局(Routability)之靈活性；同時此舉需考量銲接墊位置導致該等被動元件佈設數量受到侷限，不利半導體裝置高度集積化之發展趨勢；甚者，被動元件佈設數量隨著半導體封裝件高性能之要求而相對地遽增，如採習知方法該基板表面必須同時容納多數半導體晶片以及較多被動元件而迫使封裝件體積增大，亦不符合半導體封裝件輕薄短小之發展潮流。

基於上述問題，遂有構想將該多數被動元件整合至半導體晶片與銲接區域間之基板區域。然而，隨著半導體裝置內單位面積上輸出/輸入連接端數量的增加，銲線數量亦隨之提昇；另者，一般被動元件高度(0.8毫米)係高於半導體晶片(0.55毫米)，如欲避免銲線觸及被動元件造成短路，銲線需拉高並橫越該被動元件之正上方(如第2圖所示)，提昇銲接困難度，亦使得線弧(Wire Loop)長度增加。況且，銲線本身具有重量，拉高之銲線若缺乏支撐，易因本身重力崩塌(Sag)觸及被動元件而產生短路，美國專利第5,847,445案揭示基板與半導體晶片上設置電絕緣膠堤(Dam)支撐拉高之銲線，惟此法將增加製程複雜性，且銲線本身係金、鋁材質製成，增長線弧長度將明顯提升銲線成本。

再者，利用習知表面黏接技術(Surface-Mount Technology, SMT)將該些被動元件藉由銲黏劑(Solder Paste)固接至該基板預設銲接位置上，進行膠體封裝時亦會發生問題。實施該膠體封裝製程係於高溫環境下注入熔

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

像

五、發明說明(3)

融封裝樹脂，此時作業溫度(175℃)與該被動元件固接使用之鐸黏劑融化溫度(183℃)接近，該鐸黏劑呈現半熔融軟化狀態，導致該等被動元件於注膠後遭受該熔融封裝樹脂模流(Mold Flow)應力衝擊導致銜離或偏移該預設鐸接位置，降低導電品質甚而引發短路。

[發明概述]

本發明之主要目的係提供一種將多數被動元件整合於半導體晶片下方，俾提昇該半導體封裝件內被動元件之佈設數量，並增加基板佈局靈活性之 BGA 半導體封裝件與其製法。

本發明之另一主要目的係提供一種將多數被動元件整合於半導體晶片下方，縮減該基板使用面積，俾使封裝製品尺寸縮小之 BGA 半導體封裝件與其製法。

本發明之再一目的係提供一種將多數被動元件整合於半導體晶片下方，避免該等被動元件受高溫與模流影響而偏位，甚而發生短路之 BGA 半導體封裝件與其製法。

本發明之又一目的係提供一種將多數被動元件整合於半導體晶片下方，藉以降低鐸接困難度，且可避免鐸線直接觸及該等被動元件引發短路，亦得以縮短鐸線線弧長度，節省鐸接成本之 BGA 半導體封裝件與其製法。

根據上揭及其他主要目的，本發明提出一種新穎之垂直整合被動元件的 BGA 半導體封裝件與其製法。該半導體封裝件係包括：一基板，於該基板表面預設一小於該半導體晶片投影面積周界之元件安置區，其上鐸設有複數個鐸

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4)

錫銲墊，並於該元件安置區外圍設置一敷設有多數銲接墊之銲接區；複數個被動元件(如電容器、電阻器或電感器等)係藉以一銲黏劑對應地黏固於該元件安置區之該些銲錫銲墊上，俾使該等被動元件得以電性導通至該基板；利用一可固化流動性電絕緣物質完整包覆該等被動元件與部分基板，而後，另備一半導體晶片，該半導體晶片具有一作用表面(即設置有多數電子電路與複數個銲墊之表面)與一非作用表面，該半導體晶片係以其非作用表面直接或間接接置至該等被動元件上方之該電絕緣物質表面；多數之銲線(金線)俾供該半導體晶片與該基板導電跡線進行電性連結；之後，用一封裝樹脂包覆該半導體晶片與多數銲線；最後遂以複數個呈陣列方式排列之導電元件(錫銲凸塊)導電地連結至該基板底部，即完成該 BGA 半導體封裝件之封裝步驟。

相較於傳統採用多數半導體晶片與該些被動元件配置於基板表面之方式，本發明之特徵係將複數個被動元件垂直地整合於該半導體晶片之下方，該半導體晶片不佔據任何基板面積，俾將該基板利用面積縮減到最小，相對地縮減封裝製品的尺寸；同時，本發明安排該等被動元件於銲線作業實施以前，預先以一電絕緣物質完整包覆隔離，有效地免除習知方法中為避免短路而施加於多數銲墊配置位置或該些被動元件佈局之種種限制，大幅提昇基板佈局之靈活性。

另一方面，該等被動元件藉由習知表面黏接技術

五、發明說明 (5)

(Surface-Mount Technology, SMT)以銲黏劑黏固至該基板之多數銲錫銲墊上，本發明於封裝膠體製程施行之前，該等固接完成之被動元件已預先被一電絕緣物質完整隔離，致使該半導體封裝件進行膠體封裝時，該些固接完成之被動元件不致遭受高溫熔融封裝樹脂之模流衝擊而造成偏位；同時，該等被動元件亦得藉由該電絕緣物質阻隔，避免直接觸接該半導體晶片或該多數銲線引發短路產生，使產品良率得以提昇。

[圖式簡單說明]

以下茲以較佳具體例配合所附圖式進一步詳述本發明之特點及功效：

第 1 圖係為習知之半導體封裝件各部元件配置上視圖；

第 2 圖係為習知之具有多數被動元件之 BGA 半導體封裝件剖視圖；

第 3 圖係為本發明半導體封裝件之剖視圖；以及，

第 4A 至 4E 圖係為本發明半導體封裝件詳細製作流程圖。

[元件符號說明]

1	BGA 半導體封裝件	2	基板
20	晶片投影面積周界	21	元件安置區
210	銲錫銲墊	22	銲接區
220	銲接墊	500	銲墊
3	被動元件	30	被動元件頂部

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(6)

31	被動元件底面	4	電絕緣物質
40	電絕緣物質表面	5	半導體晶片
50	晶片作用表面	51	晶片非作用表面
52	膠黏劑	6	多數金線
7	封裝膠體	8	錫鐸凸塊(含鐸球)

[發明詳細說明]

如第 3 圖所示，本發明 BGA 半導體封裝件 1 係包括一基板 2，於該基板 2 上固接有多數之被動元件 3，一用以完整包覆該等被動元件 3 之電絕緣物質 4，與一接置於該電絕緣物質 4 表面之半導體晶片 5；多數金線 6 係導電連結該半導體晶片 5 與該基板 2，和一包覆該半導體晶片 5 與該多數金線 6 之封裝膠體 7 以及俾供該基板 2 與外界進行電性接連之複數個錫鐸凸塊 8。

以下即配合第 4A 至 4E 圖詳細說明該 BGA 半導體封裝件 1 之製作流程。如第 4A 圖所示，首先係準備一基板 2，於該基板 2 表面預設一小於該半導體晶片投影面積周界 20 之區域，作為一元件安置區 21，其上並鐸設有多數個得供該些被動元件固接之鐸錫鐸墊 210，且於該元件安置區 20 外圍設置一敷設有多數鐸接墊 220 之鐸接區 22。該複數個鐸接墊 220 俾供該半導體晶片 5 導電地連結至該些鐸接區 22。

而後，將複數個具有一頂部 30 與一底面 31 之被動元件 3(如電容器、電阻器或電感器等)藉由習知之錫鐸方式或表面黏接技術(Surface-Mount Technology, SMT)，以錫膏

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

等銲黏劑(Solder Paste)固接該等被動元件 3 該底面 31 至該基板 2 元件安置區 21 之該多數銲錫銲墊 210 上，該等被動元件 3 逐一對應地接置於預設之該銲錫銲墊 210 位置，致使該些被動元件 3 得與該基板 2 產生電性導通，如第 4B 圖所示。

接而利用一點膠針，藉以習知之點膠方式(Dispensing)將一可固化之流動性電絕緣物質 4 完整包覆該等被動元件 3 整體(包括該被動元件 3 周圍及其頂部 30)與部分之基板 2，如第 4C 圖所示。該電絕緣物質係為一電絕緣膠黏劑，其材質包括環氧樹脂(Epoxy)，矽膠(Silicone)，聚亞醯胺(Polyimide)等熱固性或熱塑性材料。注膠完成後即可施以烘烤步驟(Baking)，將該流動性電絕緣物質 4 固化定型。

本發明於膠體封裝實施之前，預先以電絕緣物質 4 完整包覆該些被動元件 3，得有效地避免該等被動元件 3 於後續製程(如回銲作業、模壓製程等)時，受到高溫及模流影響而偏位，甚至引發短路產生。

如第 4D 圖所示，待該電絕緣物質 4 固化定型，該些被動元件 3 頂部 30 上方之該電絕緣物質 4 形成有一表面 40 俾供一半導體晶片 5 黏置，該半導體晶片 5 具有一作用表面 50(即佈設有多數電子電路與複數個銲墊之表面)與一非作用表面 51 並於該作用表面 50 上設有多數個銲墊 500，該半導體晶片 5 之非作用表面 51 得藉一如銀膠或聚亞醯胺膠片之膠黏劑 52 穩固黏置該晶片至該電絕緣物質 4 表面 40。固接該半導體晶片至該電絕緣物質表面之方法，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

亦可不使用該膠黏劑 52，該作業係完成點膠步驟後，將該半導體晶片 5 其非作用表面 51 直接接置於該等被動元件 3 頂部 30 上方之該電絕緣物質 4 表面，再進行烘烤固化作業，亦能達到固接該半導體晶片 5 之效果。

然後，如第 4E 圖所示，以多數金線 6 鐸連該半導體晶片 5 之該鐸墊 500 與基板之該鐸接墊 220 俾供該半導體晶片 5 與該基板 2 進行電性連結；再者，用一封裝膠體 7 包覆該多數金線 6 與該半導體晶片 5，部分電絕緣物質 4 與部分基板 2；最後，採習知之植接技術將複數個鐸錫凸塊 8(包括鐸球(Solder Ball))植置於該基板底部之多數鐸墊 222 上，俾使該基板 2 得與外界進行導電連接，如第 3 圖所示，即完成本發明之 BGA 半導體封裝件封裝方法。

以上所述僅為本發明之較佳實施例而已，並非用以限制本發明之實質技術內容範圍。本發明之實質技術內容係廣義定義於下述之申請專利範圍中。任何完成之技術實體或方法係下述申請專利範圍所定義為完全相同、或等效之變更均將視為涵蓋此專利範圍內。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

1. 一種具有被動元件之半導體封裝件製法，係包含：

先備一基板，於該基板表面預設一小於半導體晶片投影面積周界之元件安置區，並於該元件安置區外圍設置一敷設有多數鐸接墊之鐸接區；

將複數個被動元件固接於該元件安置區上；之後，以一電絕緣物質完整包覆該等被動元件；

另令一半導體晶片接置於該被動元件上方之該電絕緣物質表面；

俾使多數之鐸線提供該半導體晶片與該等鐸接墊進行電性連結；再而，

用一封裝膠體包覆該半導體晶片與該多數鐸線；最後，

遂以複數個導電元件導電接連該基板與外界。

2. 如申請專利範圍第 1 項之製法，其中，該元件安置區上係鐸設有多數個鐸錫鐸墊，俾供該等被動元件固接。
3. 如申請專利範圍第 1 項之製法，其中，該被動元件具有一頂部與一底面。
4. 如申請專利範圍第 1 項之製法，其中，該電絕緣物質係為一可固化流動性電絕緣膠黏劑。
5. 如申請專利範圍第 1 項之製法，其中，該電絕緣物質之材質係選自環氧樹脂(Epoxy)、矽膠(Silicone)、聚亞醯胺(Polyimide)等熱固性或熱塑性材料所組組群之一者。
6. 如申請專利範圍第 3 或第 4 項之製法，其中，該電絕緣

六、申請專利範圍

膠黏劑係藉由點膠方式，完整包覆該等被動元件周圍與頂部。

7. 如申請專利範圍第 1 項之製法，其中，該半導體晶片具有一作用表面與一非作用表面。
8. 如申請專利範圍第 1 或第 4 或第 7 項之製法，其中，該半導體晶片之非作用表面得於該流動性電絕緣膠黏劑尚未固化前，直接黏置於該等被動元件上方之該電絕緣膠黏劑表面。
9. 如申請專利範圍第 1 或第 4 或第 7 項之製法，其中，該半導體晶片之非作用表面得於該流動性電絕緣膠黏劑固化後，藉由一如銀膠之膠黏劑黏置於該等被動元件上方之該電絕緣膠黏劑表面。
10. 如申請專利第 1 項之製法，其中，該鐸線係為一金線。
11. 如申請專利第 1 項之製法，其中，該導電元件係為一錫鐸凸塊，包含鐸球。
12. 一種具有被動元件之半導體封裝件，係包含：

一基板，於該基板表面預設一小於半導體晶片投影面積周界之元件安置區，並於該元件安置區外圍設置一敷設有多數鐸接墊之鐸接區；

複數個被動元件係固接於該元件安置區上；

一用以完整包覆該等被動元件之電絕緣物質；

一半導體晶片接置於該被動元件上方之該電絕緣物質表面；

多數之鐸線，得供該半導體晶片與該些鐸接墊進行

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

電性連結；

一包覆該半導體晶片與該多數鐸線之封裝膠體；以及，

得供該基板與外界導電地連結之複數個導電元件。

- 13.如申請專利範圍第 12 項之半導體封裝件，其中，該半導體裝置係為一 BGA 半導體封裝件。
- 14.如申請專利範圍第 12 項之製法，其中，該元件安置區上係鐸設有多數個鐸錫鐸墊，俾供該等被動元件固接。
- 15.如申請專利範圍第 12 項之製法，其中，該被動元件具有一頂部與一底面。
- 16.如申請專利範圍第 12 項之製法，其中，該電絕緣物質係為一可固化流動性電絕緣膠黏劑。
- 17.如申請專利範圍第 12 項之製法，其中，該電絕緣物質之材質係選自環氧樹脂(Epoxy)、矽膠(Silicone)、聚亞醯胺(Polyimide)等熱固性或熱塑性材料所組組群之一者。
- 18.如申請專利範圍第 15 或第 16 項之製法，其中，該電絕緣膠黏劑係藉由點膠方式，完整包覆該等被動元件周圍與頂部。
- 19.如申請專利範圍第 12 項之製法，其中，該半導體晶片具有一作用表面與一非作用表面。
- 20.如申請專利範圍第 12 或第 16 或第 19 項之製法，其中，該半導體晶片之非作用表面得於該流動性電絕緣膠黏

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

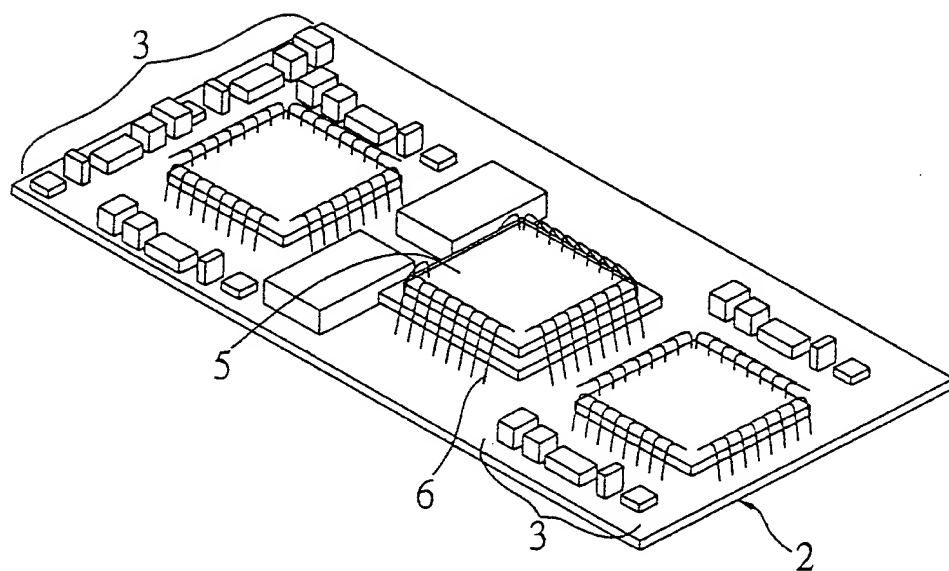
劑尚未固化前，直接黏置於該等被動元件上方之該電絕緣膠黏劑表面。

21. 如申請專利範圍第 12 或第 16 或第 19 項之製法，其中，該半導體晶片之非作用表面得於該流動性電絕緣膠黏劑固化後，藉由一如銀膠之膠黏劑黏置於該等被動元件上方之該電絕緣膠黏劑表面。
22. 如申請專利第 12 項之製法，其中，該鐳線係為一金線。
23. 如申請專利第 12 項之製法，其中，該導電元件係為一錫鐳凸塊，包含鐳球。

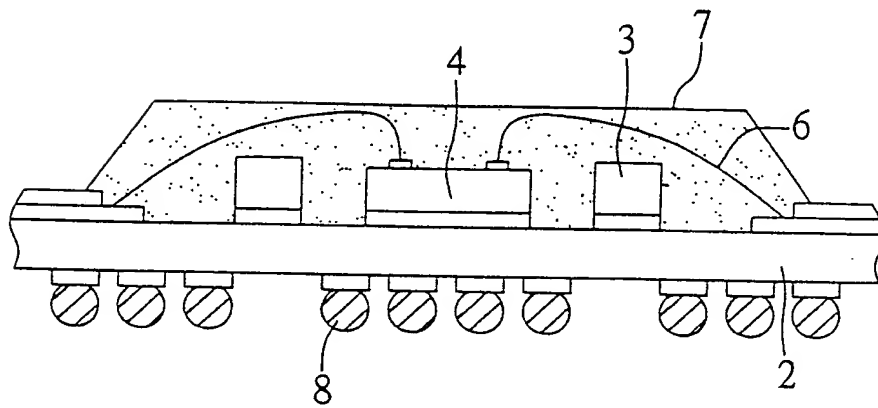
(請先閱讀背面之注意事項再填寫本頁)

訂

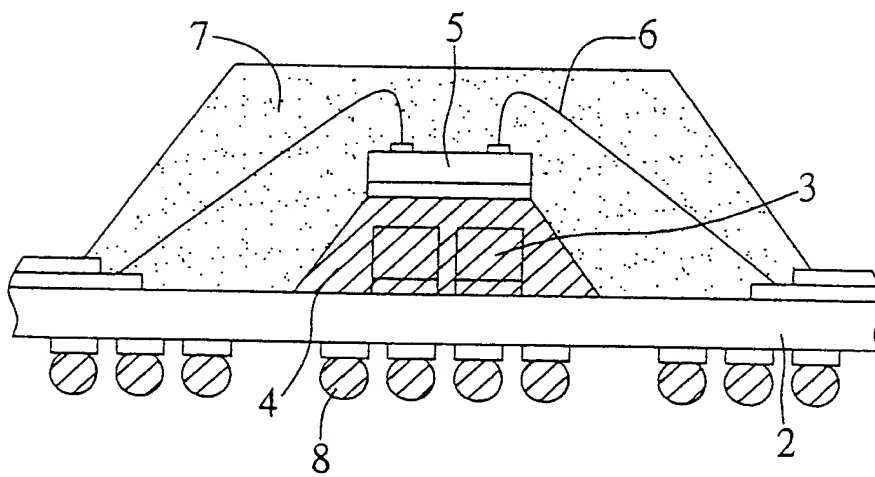
線



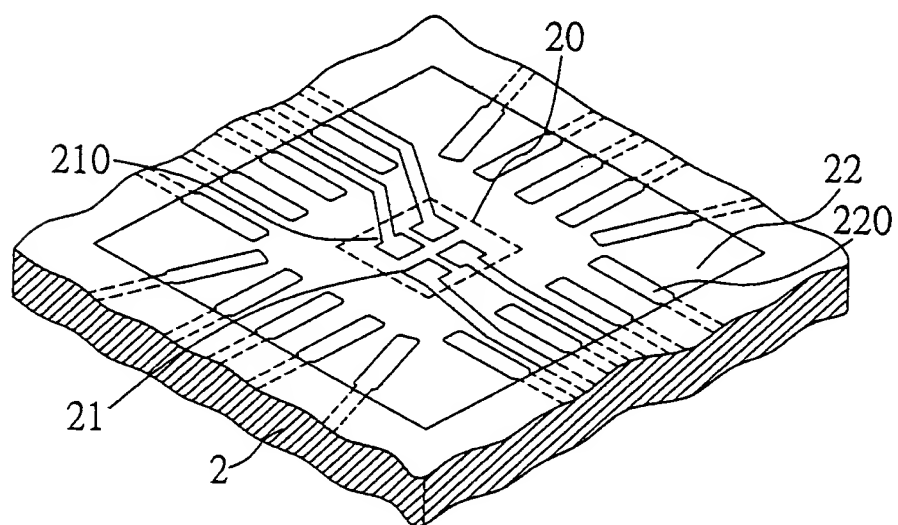
第 1 圖



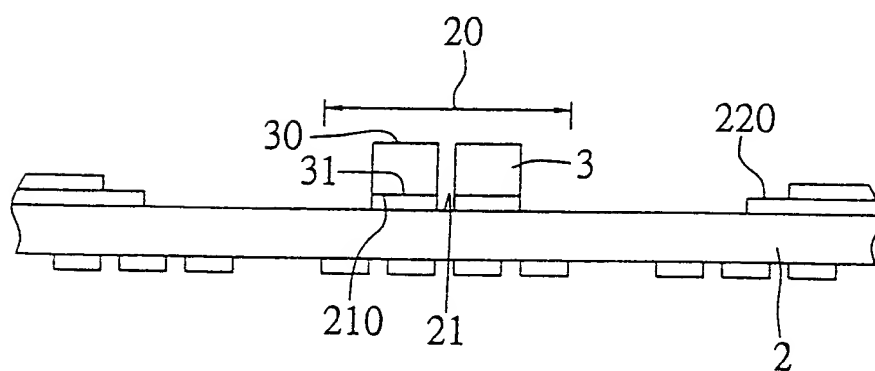
第 2 圖



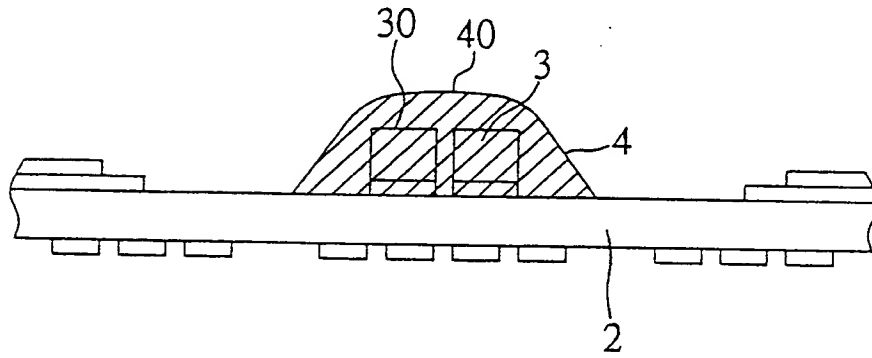
第 3 圖



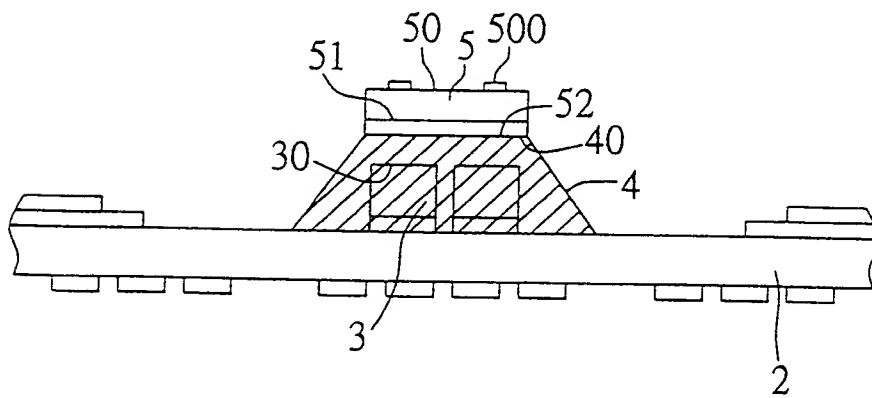
第 4A 圖



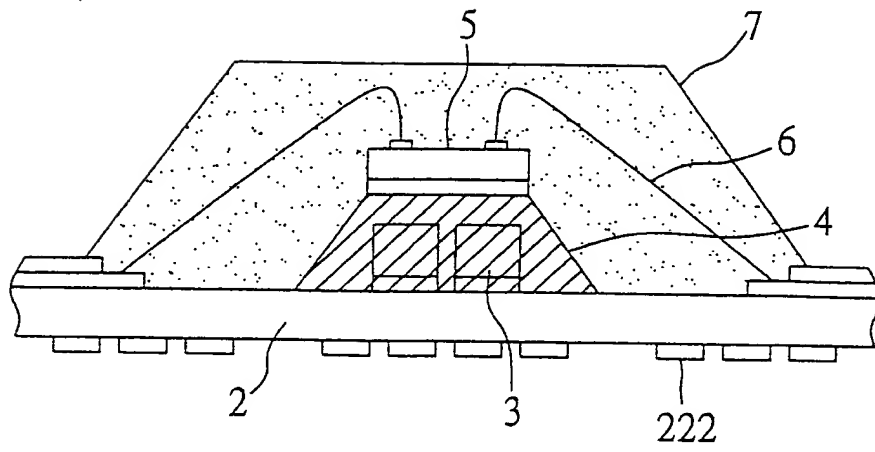
第 4B 圖



第 4C 圖



第 4D 圖



第 4E 圖